

**(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)**

**(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international**



**(43) Date de la publication internationale**  
**23 mai 2002 (23.05.2002)**

**PCT**

**(10) Numéro de publication internationale**  
**WO 02/41322 A1**

**(51) Classification internationale des brevets<sup>7</sup> :**  
**G11C 16/16, 16/34**

**(71) Déposant (pour tous les États désignés sauf US) : STMICROELECTRONICS [FR/FR]; 29, Boulevard Romain Rolland, F-92120 Montrouge (FR).**

**(21) Numéro de la demande internationale :**  
PCT/FR01/03560

**(72) Inventeurs; et**

**(22) Date de dépôt international :**  
14 novembre 2001 (14.11.2001)

(75) **Inventeurs/Déposants (pour US seulement) :** CAVALLERI, Paola [IT/FR]; La Pinède 2, Quartier Tartanne, F-13790 Rousset (FR). **LECONTE, Bruno** [FR/FR]; 14, lotissement Campbernard, F-13790 Rousset (FR). **ZINK, Sébastien** [FR/FR]; 5, rue de l'Espanade, F-13090 Aix en Provence (FR). **DEVIN, Jean** [FR/FR]; 6, Domaine de Cap de Ville, F-13100 le Tholonet (FR).

(25) Langue de dépôt : français

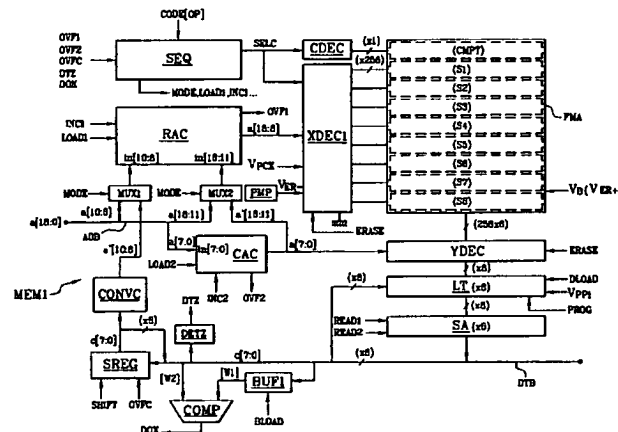
(26) **Langue de publication :** français

**(30) Données relatives à la priorité :**  
00/14743                      15 novembre 2000 (15.11.2000)      FR

*[Suite sur la page suivante]*

**(54) Title: PAGE-ERASABLE FLASH MEMORY**

**(54) Titre : MEMOIRE FLASH EFFACABLE PAR PAGE**



**(S7) Abstract:** The invention concerns a page-erasable flash memory (MEM1) comprising a memory plane (FMA) including a plurality of pages comprising each floating gate transistors connected by their gates to word lines (WL<sub>1</sub>), a word line decoder (XDEC1) connected to the memory word lines, and means for applying a positive erasing voltage (V<sub>ER+</sub>) to the source or drain electrodes of all the floating gate transistors of a sector comprising a page to be erased. The invention is characterised in that the word line decoder (XDEC1) comprises means (AD<sub>j</sub>) for applying, during erasure of a page, a negative erasing voltage (V<sub>POL</sub>, V<sub>ER-</sub>) to the gates of the transistors of the page to be erased, while applying a positive inhibiting voltage (V<sub>INHIB</sub>, V<sub>PCX</sub>) to the gates of the transistors of at least one page not to be erased. The memory also comprises means controlling at least a page of the memory, designed to perform a first reading of the page by applying a first reading voltage (V<sub>READ</sub>) to the gates of the transistors of the page, perform a second reading of the page by applying a second reading voltage (V<sub>VFY</sub>) to the gates of the transistors of the page, and reprogram transistors of the page if the two readings yield different results (W1, W2).

**(57) Abrégé :** L'invention concerne une mémoire FLASH (MEM1) effaçable par page comprenant un plan mémoire (FMA) comportant une pluralité de pages comprenant chacune des transistors à grille flottante connectés par leurs grilles à des lignes de mot (WL<sub>i</sub>), un décodeur de ligne de mot (XDEC1) connecté aux lignes de mot de la mémoire, et des moyens pour appliquer une tension d'effacement positive (V<sub>FR+</sub>) AUX

*[Suite sur la page suivante]*

**WO 02/41322 A1**



(74) Mandataire : MARCHAND, André; Omnipat, 24, place des Martyrs de la Résistance, F-13100 Aix en Provence (FR).

Publiée :

— avec rapport de recherche internationale

(81) États désignés (*national*) : JP, US.

(84) États désignés (*régional*) : brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

Électrodes de source ou de drain de tous les transistors à grille flottante d'un secteur comprenant une page à effacer. Selon l'invention, le décodeur de ligne de mot (XDEC1) comprend des moyens (AD<sub>i</sub>) pour appliquer, lors de l'effacement d'une page, une tension d'effacement négative ( $V_{POL}$ ,  $V_{ER-}$ ) aux grilles des transistors de la page à effacer, tout en appliquant une tension d'inhibition positive ( $V_{INHIB}$ ,  $V_{PCX}$ ) aux grilles des transistors d'au moins une page ne devant pas être effacée. La mémoire comprend également des moyens de contrôle d'au moins une page de la mémoire, agencés pour effectuer une première lecture de la page en appliquant une première tension de lecture ( $V_{READ}$ ) aux grilles des transistors de la page, effectuer une seconde lecture de la page en appliquant une deuxième tension de lecture ( $V_{VRFY}$ ) aux grilles des transistors de la page, et reprogrammer des transistors de la page si les deux lectures donnent des résultats différents (W1, W2).

## MEMOIRE FLASH EFFACABLE PAR PAGE

La présente invention concerne les mémoires effaçables et programmables électriquement, et plus particulièrement les mémoires FLASH.

La présente invention concerne plus particulièrement les  
5 mémoires FLASH effaçables par page.

A l'heure actuelle, le marché des mémoires en circuits intégrés effaçables et programmables électriquement comprend essentiellement les mémoires EEPROM et les mémoires FLASH (ou FLASH-EEPROM). Les mémoires EEPROM peuvent être programmable et  
10 effaçable par mot ou programmable et effaçable par page. Pour des raisons technologiques, les mémoires FLASH (ou FLASH-EEPROM) sont généralement programmables par mot et effaçables par secteur, un secteur comprenant généralement un grand nombre de pages.

A titre de rappel, la figure 1 représente schématiquement  
15 un plan mémoire FLASH comprenant une pluralité de cellules mémoire  $CF_{i,j}$  agencées de façon matricielle et connectées à des lignes de mot  $WL_i$  et des lignes de bit  $BL_j$ . Les cellules  $CF_{i,j}$  de la mémoire FLASH sont d'une structure très simple et ne comportent qu'un transistor à grille flottante FGT, ici un  
20 transistor NMOS, ayant sa grille G connectée à une ligne de mot  $WL_i$ , son drain D connecté à une ligne de bit  $BL_j$  et sa source S connectée à une ligne de source  $SL_i$ . Les lignes de bit  $BL_j$  sont regroupées par colonnes de rang k pour former des mots binaires  $W_{i,k}$  comportant par exemple huit cellules  $CF_{i,j}$  chacun (octets),  
25 les cellules d'un même mot  $W_{i,k}$  pouvant être adjacentes (comme représenté en figure 1) ou entrelacées avec des cellules appartenant à d'autres mots. Une page physique  $P_i$  de la mémoire FLASH est formée par l'ensemble des cellules mémoire  $C_{i,j}$  connectées à une même ligne de mot  $WL_i$ , et comprend ainsi une  
30 pluralité de mots binaires  $W_{i,k}$ . Un secteur est formé par un ensemble de pages  $P_i$  dont les lignes de source  $SL_i$  sont interconnectées et se trouvent toujours au même potentiel électrique.

Dans une telle mémoire FLASH, la programmation d'une cellule consiste dans l'injection de charges électriques dans la grille flottante par effet dit "d'injection d'électrons chauds" ("hot electron injection") tandis que l'effacement d'une cellule  
5 consiste dans l'extraction, par effet tunnel, des charges électriques piégées dans la grille flottante. Un transistor FGT effacé présente une tension de seuil positive  $V_{T1}$  de faible valeur et un transistor programmé présente une tension de seuil  $V_{T2}$  supérieure à  $V_{T1}$ . Lorsqu'une tension de lecture  $V_{READ}$  comprise  
10 entre  $V_{T1}$  et  $V_{T2}$  est appliquée sur sa grille, un transistor effacé est passant, ce qui correspond par convention à la lecture d'un "1" logique, et un transistor programmé reste bloqué, ce qui correspond par convention à la lecture d'un "0" logique.

En raison de la simplicité de leurs cellules mémoire, qui  
15 ne comporte pas de transistor d'accès comme dans les mémoires EEPROM, les mémoires FLASH présentent l'avantage d'une grande compacité en termes de surface de silicium occupée et présentent ainsi, à surface de silicium constante, une capacité de stockage nettement supérieure à celle des mémoires EEPROM, pour un prix de  
20 revient inférieur. En revanche, elles sont moins souples à l'emploi en raison de la nécessité d'effacer simultanément toutes les cellules mémoire d'un même secteur.

Dans certaines applications, on souhaite toutefois bénéficier des avantages des mémoires FLASH (compacité et prix de  
25 revient) tout en bénéficiant de la possibilité d'un effacement par page, par exemple lorsque les données à enregistrer sont d'un faible volume et que l'effacement de tout un secteur avant la programmation d'une page n'est pas envisageable. Toutefois, la recherche d'une mémoire FLASH effaçable par page se heurte à  
30 certaines difficultés.

Pour comprendre le problème posé, rappelons préalablement que l'effacement d'une cellule mémoire peut être effectué selon la méthode dite d'effacement par la source ("source erase") ou la méthode dite d'effacement par le canal ("channel erase").

35 L'effacement par la source, illustré en figure 1, consiste à appliquer à l'ensemble des lignes de source  $SL_i$  d'un même secteur une tension d'effacement positive  $V_{ER+}$  de l'ordre de 4 à

5V, tandis que les lignes de mot  $WL_i$  du secteur considéré reçoivent une tension d'effacement négative  $V_{ER-}$  de l'ordre de -8V, le matériau formant le canal des transistors (substrat ou caisson) étant à la masse. La différence de potentiel  
5 apparaissant entre la source S et la grille G des transistors a pour effet d'arracher les charges électriques piégées dans les grilles flottantes (par effet tunnel) et d'effacer les transistors. L'application de la tension négative  $V_{ER-}$  sur les grilles de tous les transistors d'un même secteur est assurée par  
10 l'inhibition d'un décodeur de ligne de mot XDEC (figure 1), qui reçoit la tension  $V_{ER-}$  sur une entrée et l'applique à toutes les lignes de mot  $WL_i$  du secteur à effacer quelle que soit l'adresse reçue en entrée. Simultanément, toutes les sorties d'un décodeur de colonne YDEC connectées aux lignes de bit  $BL_j$  sont portées à  
15 haute impédance.

L'effacement par le canal se distingue de l'effacement par la source par le fait que la tension d'effacement positive  $V_{ER+}$  est appliquée aux sources des transistors par l'intermédiaire du matériau formant les régions de canal (substrat ou caisson)  
20 auquel on applique une tension de polarisation  $V_B$ . Les jonctions PN existant entre les régions de canal et les régions de source se trouvent polarisées dans le sens passant et la tension  $V_B$  se répercute sur toutes les sources des transistors d'un même secteur pour former la tension  $V_{ER+}$ . Parallèlement, la tension  
25 d'effacement négative  $V_{ER-}$  est, comme précédemment, appliquée aux grilles des transistors par l'intermédiaire du décodeur de ligne de mot XDEC se trouvant dans l'état inhibé.

L'avantage d'un effacement par le canal est que les régions de canal et les régions de source se trouvent sensiblement au même potentiel électrique, les diodes de jonction canal/source  
30 étant polarisées dans le sens passant. Par rapport à un effacement par la source, il n'y a donc plus de courant de fuite dans le sens source/canal. La tension d'effacement  $V_{ER+}$  peut être portée à un potentiel plus élevé que dans le cas d'un effacement  
35 par la source, par exemple 8 à 10V contre 4 à 5V dans le premier cas.

Une solution connue pour réaliser une mémoire FLASH effaçable par page consiste à équiper chaque ligne de source  $SL_i$  d'un transistor de sélection permettant une application sélective de la tension d'effacement  $V_{ER+}$ . Une telle solution est dans  
5 l'esprit de l'enseignement divulgué par le brevet EP 704 851 et la demande WO 98/33187, dans lesquels l'effacement sélectif d'un mot est obtenu en équipant les cellules d'un même mot d'un transistor de sélection de source.

Cette solution présente toutefois divers inconvénients.  
10 D'une part, la programmation d'une cellule de mémoire FLASH s'effectue avec un courant drain-source non négligeable. De ce fait, en cas de programmation simultanée de toutes les cellules d'un mot, un courant important est collecté par le transistor de sélection de la ligne de source. Ce courant entraîne une  
15 élévation de la tension drain-source du transistor de sélection, une diminution correspondante de la tension drain-source des transistors à grille flottante, et une augmentation du temps de programmation. Les cellules d'un même mot doivent donc être programmées individuellement, ou conjointement à des cellules  
20 appartenant à d'autres mots binaires (WO 98/33187). D'autre part, la prévision de transistors de sélection de ligne de source n'est pas compatible avec la méthode d'effacement par le canal. En effet, la tension d'effacement  $V_{ER+}$  étant dans ce cas appliquée par l'intermédiaire du matériau formant le canal, la prévision de  
25 transistors de sélection de ligne de source n'empêche pas la tension  $V_{ER+}$  de parvenir aux sources de transistors et de créer un champ électrique entraînant l'arrachement des charges piégées dans les grilles flottantes.

Ainsi, un objectif de la présente invention est de prévoir  
30 un procédé d'effacement sélectif d'une page de mémoire FLASH qui ne nécessite pas la prévision de transistors de sélection de ligne de source.

Un autre objectif de la présente invention est de prévoir un procédé d'effacement sélectif d'une page de mémoire FLASH qui  
35 soit compatible avec la méthode d'effacement par le canal.

Un autre objectif de la présente invention est de prévoir une mémoire FLASH programmable par page qui soit protégée contre

une altération éventuelle de la tension de seuil de ses transistors à grille flottante, due notamment à la mise en œuvre d'un procédé d'effacement sélectif par page selon l'invention.

A cet effet, la présente invention prévoit un procédé  
5 d'enregistrement de données dans une mémoire FLASH comprenant au moins un secteur, dans lequel l'effacement d'une page de la mémoire comprend l'application d'une tension d'effacement négative aux grilles des transistors à grille flottante de la page à effacer, l'application d'une tension d'effacement positive  
10 aux électrodes de source ou de drain de tous les transistors à grille flottante du secteur de la mémoire comprenant la page à effacer, et l'application d'une tension d'inhibition positive aux grilles des transistors d'au moins une page de la mémoire ne devant pas être effacée, le procédé comprenant une étape de  
15 contrôle d'au moins une page de la mémoire, comprenant une première lecture de la page faite en appliquant une première tension de lecture aux grilles des transistors de la page, une seconde lecture de la page faite en appliquant une deuxième tension de lecture aux grilles des transistors de la page, et une  
20 reprogrammation de transistors si les deux lectures donnent des résultats différents.

Selon un mode de réalisation, la deuxième tension de lecture est supérieure à la première tension de lecture, la première tension de lecture correspond à une tension de lecture  
25 normale utilisée pendant des phases de lecture de la mémoire, et la reprogrammation de transistors est faite en utilisant comme données de reprogrammation les données lues en appliquant la première tension de lecture.

Selon un mode de réalisation, la tension d'inhibition est  
30 inférieure à la tension d'effacement positive.

Selon un mode de réalisation, le procédé comprend une étape consistant à prévoir dans la mémoire des circuits adaptateurs de tension recevant chacun en entrée un signal de sélection de page et délivrant aux grilles des transistors de la page  
35 correspondante : une tension positive, lorsque le signal de sélection de page présente une première valeur correspondant à la non-sélection de la page et que la mémoire est en mode effacement

ou lorsque le signal de sélection présente une deuxième valeur correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou une tension de polarisation inférieure à la tension positive, lorsque le signal de sélection présente la  
5 deuxième valeur et que la mémoire est en mode effacement ou lorsque le signal de sélection présente la première valeur et que la mémoire n'est pas en mode effacement.

Selon un mode de réalisation, les circuits adaptateurs de tension reçoivent : pendant l'effacement d'une page, une tension  
10 de polarisation égale à la tension d'effacement négative et une tension positive égale à la tension d'inhibition, et pendant la lecture d'un mot dans la mémoire, une tension de polarisation égale au potentiel de masse et une tension positive égale à une tension de lecture.

15 Selon un mode de réalisation le procédé comprend, après chaque écriture d'une page dans un secteur de la mémoire, le contrôle de K pages du secteur considéré, K étant strictement inférieur au nombre de pages du secteur considéré et au moins égal à 1.

20 Selon un mode de réalisation, l'étape de contrôle est appliquée à au moins une page de la mémoire se trouvant à une adresse lue dans un compteur non volatile formé par au moins une rangée de transistors à grille flottante.

Selon un mode de réalisation, le compteur est incrémenté  
25 d'une unité après le contrôle d'au moins une page, en programmant au moins un transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle incrémentation du compteur étant le transistor suivant le transistor programmé à l'incrémentation  
30 précédente, selon un sens de lecture du compteur.

Selon un mode de réalisation, le compteur comprend une pluralité de mots de rang croissant, et la lecture dans le compteur de l'adresse d'au moins une page à contrôler comprend les étapes consistant à lire le compteur mot à mot jusqu'à  
35 trouver un mot comprenant un bit correspondant à un transistor effacé, déterminer les bits de poids fort de l'adresse de la page à contrôler au moyen du rang, dans le compteur, du premier mot



trouvé comprenant un bit correspondant à un transistor effacé, et déterminer les bits de poids faible de l'adresse de la page à contrôler au moyen du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

5        Selon un mode de réalisation, les transistors à grille flottante du compteur sont agencés dans un secteur exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur de la mémoire ne se répercutent pas sur les transistors à  
10 grille flottante du compteur.

      Selon un mode de réalisation, le contrôle d'une page est effectué mot à mot et le contrôle d'un mot comprend la lecture du mot avec la première tension de lecture, la lecture du mot avec la deuxième tension de lecture, et la reprogrammation de  
15 transistors si les deux lectures donnent des résultats différents.

      Selon un mode de réalisation, la tension d'effacement positive est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau  
20 formant le canal des transistors.

      La présente invention concerne également une mémoire FLASH effaçable par page comprenant un plan mémoire comportant une pluralité de pages comprenant chacune des transistors à grille flottante connectés par leurs grilles à des lignes de mot, un  
25 décodeur de ligne de mot connecté aux lignes de mot de la mémoire, des moyens pour appliquer une tension d'effacement positive aux électrodes de source ou de drain de tous les transistors à grille flottante d'un secteur comprenant une page à effacer, le décodeur de ligne de mot comprenant des moyens pour  
30 appliquer, lors de l'effacement d'une page, une tension d'effacement négative aux grilles des transistors de la page à effacer tout en appliquant une tension d'inhibition positive aux grilles des transistors d'au moins une page ne devant pas être effacée, la mémoire comprenant des moyens de contrôle d'au moins  
35 une page de la mémoire, agencés pour effectuer une première lecture de la page en appliquant une première tension de lecture aux grilles des transistors de la page, effectuer une seconde

lecture de la page en appliquant une deuxième tension de lecture aux grilles des transistors de la page, et reprogrammer des transistors de la page si les deux lectures donnent des résultats différents.

5        Selon un mode de réalisation, la deuxième tension de lecture est supérieure à la première tension de lecture, la première tension de lecture correspond à une tension de lecture normale utilisée pendant des phases de lecture de la mémoire, et la reprogrammation de transistors est faite en utilisant comme  
10 données de reprogrammation les données lues en appliquant la première tension de lecture.

Selon un mode de réalisation, la tension d'inhibition délivrée par le décodeur de ligne de mot est inférieure à la tension d'effacement positive.

15        Selon un mode de réalisation, le décodeur de ligne de mot comprend des circuits adaptateurs de tension recevant en entrée un signal de sélection de page et délivrant aux grilles des transistors de la page correspondante : une tension positive, lorsque le signal de sélection présente une première valeur  
20 correspondant à la non-sélection de la page et que la mémoire est en mode effacement ou lorsque le signal de sélection présente une deuxième valeur correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou une tension de polarisation inférieure à la tension positive, lorsque le signal  
25 de sélection présente la deuxième valeur et que la mémoire est en mode effacement ou lorsque le signal de sélection présente la première valeur et que la mémoire n'est pas en mode effacement.

Selon un mode de réalisation, la mémoire comprend des moyens pour fournir aux circuits adaptateurs de tension : pendant  
30 l'effacement d'une page, une tension de polarisation égale à la tension d'effacement négative et une tension positive égale à la tension d'inhibition, et pendant la lecture d'un mot dans la mémoire, une tension de polarisation égale au potentiel de masse et une tension positive égale à une tension de lecture.

35        Selon un mode de réalisation, le circuit adaptateur de tension comprend un étage inverseur de sortie recevant d'une part la tension positive et d'autre part la tension de polarisation,

et un étage de commande de l'étage inverseur comprenant une fonction logique OU EXCLUSIF recevant en entrée le signal de sélection et un signal présentant une valeur déterminée pendant l'effacement d'une page.

5        Selon un mode de réalisation, les moyens de contrôle sont agencés pour, après chaque écriture d'une page dans un secteur de la mémoire, contrôler K pages du secteur considéré, K étant strictement inférieur au nombre de pages du secteur considéré et au moins égal à 1.

10       Selon un mode de réalisation, les moyens de contrôle comprennent un compteur non volatile formé par au moins une rangée de transistors à grille flottante, des moyens pour lire dans le compteur l'adresse d'au moins une page à contrôler, et des moyens d'incrémentation du compteur après le contrôle d'au  
15 moins une page.

      Selon un mode de réalisation, les moyens pour lire l'adresse d'au moins une page à contrôler comprennent des moyens de lecture mot à mot du compteur et de recherche d'un mot contenant un bit correspondant à un transistor effacé, des moyens  
20 pour délivrer des bits de poids fort de l'adresse de la page à contrôler à partir du rang, dans le compteur, du premier mot trouvé contenant un bit correspondant à un transistor effacé, et des moyens pour calculer des bits de poids faible de l'adresse de la page à contrôler à partir du rang, dans le premier mot trouvé,  
25 du premier bit correspondant à un transistor effacé.

      Selon un mode de réalisation, les moyens d'incrémentation du compteur sont agencés pour programmer au moins un transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle  
30 incrémentation étant le transistor suivant le transistor programmé à l'incrémentacion précédente, selon un sens de lecture du compteur.

      Selon un mode de réalisation, les transistors à grille flottante du compteur sont agencés dans un secteur exclusivement  
35 dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre

secteur de la mémoire ne se répercutent pas sur les transistors à grille flottante du compteur.

Selon un mode de réalisation, les moyens de contrôle d'au moins une page sont agencés pour contrôler une page mot à mot, le  
5 contrôle d'un mot comprenant la lecture du mot avec la première tension de lecture, la lecture du mot avec la deuxième tension de lecture, la comparaison des résultats des deux lectures et la reprogrammation des transistors du mot si les deux lectures donnent des résultats différents.

10 Selon un mode de réalisation, la tension d'effacement positive est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau formant le canal des transistors.

Ces objets, caractéristiques et avantages ainsi que  
15 d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un procédé d'effacement de page et d'un procédé de contrôle de cellules mémoire selon l'invention, et d'une mémoire FLASH mettant en œuvre ces deux procédés, faite à titre non limitatif en relation avec les figures jointes parmi  
20 lesquelles :

- la figure 1 précédemment décrite représente un plan mémoire FLASH,
- la figure 2 est une vue en coupe schématique de deux transistors à grille flottante et illustre le procédé  
25 d'effacement de page selon l'invention,
- la figure 3A illustre schématiquement la mise en œuvre du procédé d'effacement de page dans une mémoire FLASH,
- la figure 3B illustre schématiquement la programmation d'un mot dans une mémoire FLASH,
- 30 - la figure 4 représente un décodeur de ligne de mot classique,
- la figure 5 représente un décodeur de ligne de mot selon l'invention,
- la figure 6 est le schéma électrique d'un circuit adaptateur de tension représenté sous forme de bloc en figure 5,
- 35 - la figure 7 représente des courbes de distribution statistique de tensions de seuil de transistors à grille flottante,

- la figure 8 représente une mémoire FLASH selon l'invention, comprenant des moyens de mise en œuvre du procédé d'effacement selon l'invention et d'un procédé de contrôle et de rafraîchissement selon l'invention, et
- 5 - la figure 9 illustre un procédé de lecture d'un compteur selon l'invention.

#### Effacement sélectif d'une page de mémoire FLASH

La figure 2 est une vue en coupe de deux transistors à grille flottante  $FGT_i$ ,  $FGT_{i+1}$  de type NMOS, prévus pour être effacés selon la méthode d'effacement par le canal. A cet effet, les transistors FGT sont réalisés selon la technique dite "triple caisson", ce qui signifie que le matériau constituant le canal des transistors est un caisson 1 de type P implanté dans un caisson 2 de type N lui-même implanté dans un substrat 3 de type P. Le caisson 1 est ainsi isolé électriquement du substrat 3 et peut être porté à une tension  $V_B$  par l'intermédiaire d'un contact de type P+ tandis que le substrat 3 est à la masse.

La grille G de chaque transistor comprend une grille flottante FG déposée sur le caisson 1 par l'intermédiaire d'une fine couche d'oxyde OX1, et une grille de contrôle CG déposée sur la grille flottante FG par l'intermédiaire d'une autre couche d'oxyde OX2. Les épaisseurs des couches ne sont pas représentées à l'échelle pour des raisons de lisibilité de la figure. La région de canal CHN de chaque transistor s'étend sous l'oxyde de grille OX1 et est délimitée par des régions de source et de drain de type N+ implantées dans le caisson 1.

Lors de l'effacement des transistors  $FGT_i$ ,  $FGT_{i+1}$ , le caisson 1 est porté à une tension  $V_B$  positive, par exemple 8 V, et une tension d'effacement  $V_{ER+}$  de l'ordre de 7,5 V apparaît sur les sources S des transistor, par l'intermédiaire des jonctions canal/drain dans le sens passant, comme représenté schématiquement par des diodes. La tension  $V_{ER+}$  apparaît également sur les régions de drain, qui sont portées à haute impédance par un décodeur de colonne (non représenté).

Dans l'art antérieur, l'application de la tension  $V_{ER+}$  va de pair avec l'application d'une tension d'effacement négative  $V_{ER-}$  sur toutes les grilles des transistors d'un même secteur, par

inhibition d'un décodeur de ligne de mot, ce qui entraîne l'effacement simultané de tous les transistors du même secteur, un secteur comprenant tous les transistors dont le canal est formé dans le même caisson 1.

5 Pour obtenir un effacement sélectif par page, l'idée de la présente invention est d'appliquer sur la grille des transistors ne devant pas être effacés une tension d'inhibition positive  $V_{INHIB}$  qui compense tout ou partie du champ électrique créé par la tension  $V_{ER+}$ .

10 A titre d'exemple, supposons que les transistors  $FGT_i$ ,  $FGT_{i+1}$  ont été programmés, que le transistor  $FGT_i$  est connecté à une ligne de mot  $WL_i$  devant être effacée et que le transistor  $FGT_{i+1}$  est connecté à une ligne de mot  $WL_{i+1}$  ne devant pas être effacée. Selon l'invention, le transistor  $FGT_{i+1}$  reçoit sur sa grille la  
15 tension d'inhibition positive  $V_{INHIB}$  pendant que le transistor  $FGT_i$  reçoit sur sa grille la tension d'effacement négative  $V_{ER-}$ . La tension  $V_{INHIB}$  est comprise entre 0V et 8V et est de préférence de l'ordre de 4V pour pouvoir être délivrée par un décodeur alimenté sous 4 à 5V, comme cela sera vu plus loin. La tension  $V_{INHIB}$   
20 compense tout ou partie du champ électrique créé par la tension  $V_{ER+}$  et s'oppose à l'effacement parasite du transistor  $FGT_{i+1}$ .

En pratique, une tension  $V_{INHIB}$  de l'ordre de 4V pour une tension d'effacement  $V_{ER+}$  de l'ordre de 7,5V supprime tout stress électrique sur le transistor  $FGT_{i+1}$ , de sorte que des opérations  
25 d'effacement répétées sur le transistor  $FGT_i$  n'entraînent pas, à long terme l'effacement parasite du transistor  $FGT_{i+1}$ . Une tension  $V_{INHIB}$  inférieure à 4V, par exemple de l'ordre de 1 à 2V, peut par contre entraîner un effacement progressif du transistor  $FGT_{i+1}$  et de façon générale des autres transistors du secteur recevant la  
30 tension d'effacement sur leur source. Un procédé de contrôle et de rafraîchissement des cellules mémoire, permettant de pallier cet inconvénient, sera décrit plus loin.

La figure 3A illustre la mise en œuvre du procédé de l'invention dans une mémoire FLASH comprenant deux secteurs S1,  
35 S2, chaque secteur étant formé par un caisson P implanté dans un caisson N. Les drains des transistors à grille flottante de chaque secteur sont connectés à des lignes de bit  $BL_j$ ,  $BL_j'$

contrôlées par un décodeur de colonne (non représenté), et les grilles des transistors à grille flottante sont connectées à des lignes de mot  $WL_i$ ,  $WL_i'$  contrôlées par un décodeur de ligne de mot XDEC1. L'isolement électrique des lignes de bit de même rang de ...  
5 chaque secteur, par exemple la ligne  $BL_j$  du secteur S1 et la ligne  $BL_j$  du secteur S2, est assuré par un décodage local au niveau des secteurs qui est en soi classique et n'est pas représenté sur la figure.

Supposons par exemple que la page  $P_i$  du secteur S1  
10 correspondant à la ligne de mot  $WL_i$  doive être effacée sans effacer les autres pages du secteur S1 ni celles du secteur S2. Le caisson du secteur S1 est porté à une tension  $V_b$  de plusieurs volts, par exemple 8 V comme décrit plus haut, de sorte que la tension d'effacement positive  $V_{ER+}$  apparaît sur toutes les sources  
15 des transistors du secteur S1. Selon l'invention, le décodeur XDEC1 délivre la tension d'effacement négative  $V_{ER-}$  sur la ligne de mot à effacer  $WL_i$  et délivre la tension d'inhibition  $V_{INH}$  sur toutes les autres lignes de mot  $WL_i'$  du secteur S1. Ainsi, seuls les transistors de la page  $P_i$  sont effacés et le stress électrique  
20 subi par les transistors des autres pages du secteur S1 est négligeable, comme cela a été expliqué.

Parallèlement, dans le secteur S2, toutes les lignes de bit  $BL_j$ ,  $BL_j'$  sont portées à haute impédance (l'isolement étant obtenu par un décodage local comme indiqué plus haut), toutes les lignes  
25 de mot WL reçoivent une tension nulle (GND) et le caisson du secteur S2 est connecté à la masse (GND). Les transistors du secteur S2 sont donc entièrement isolés des tensions d'effacement apparaissant dans le secteur S1.

Bien entendu, le procédé de l'invention peut être appliqué  
30 à l'effacement simultané de plusieurs pages d'un secteur tout en préservant de l'effacement une ou plusieurs autres pages du même secteur. Toutefois, dans ce qui suit, on considérera qu'un cycle d'effacement comprend l'effacement d'une page et une seule sans effacement des autres pages du secteur, ce qui correspond au mode  
35 de réalisation généralement visé en pratique.

Dans une mémoire FLASH selon l'invention, le processus de programmation d'un mot après effacement d'une page est réalisé

conformément à la pratique antérieure, comme illustré en figure 3B. La programmation d'un mot est réalisée en appliquant au drain des transistors à programmer une tension  $V_{PP1}$  de 4 à 6 V, par l'intermédiaire des lignes de bit  $BL_j$  correspondantes, et en appliquant à la grille des transistors une tension de programmation  $V_{PP2}$  de l'ordre de 10 à 12 V, par l'intermédiaire de la ligne de mot correspondante  $WL_i$ . Le caisson correspondant au secteur considéré est porté à la masse ( $V_B = GND$ ). Les transistors recevant les tensions  $V_{PP1}$  et  $V_{PP2}$  sont dans l'état passant et fortement polarisés pendant l'opération. Le courant de programmation étant non négligeable, on ne programme simultanément qu'un nombre réduit de transistors, généralement huit transistors soit un octet ayant tous ses bits à 0. Les lignes de bit  $BL_j$  ne correspondant pas au mot à programmer sont portées à haute impédance (HZ) et les lignes de mot  $WL$  ne correspondant pas à la page où se trouve le mot à programmer sont maintenues à 0V (GND). Dans le secteur voisin S2, toutes les lignes de bit sont portées à haute impédance (HZ) et toutes les lignes de mot sont maintenues à 0V.

20        **Aspects de l'invention concernant les décodeurs de ligne de mot**

La mise en oeuvre du procédé selon l'invention nécessite la prévision d'un décodeur de ligne de mot XDEC1 capable de délivrer sélectivement la tension négative  $V_{ER-}$  à la ligne de mot  $WL_i$  correspondant à la page  $P_i$  à effacer, tout en appliquant la tension  $V_{INHIB}$  aux autres lignes de mot  $WL_i$  du secteur considéré.

Or, les décodeurs de ligne de mot classiques ne permettent pas une application sélective de la tension négative  $V_{ER-}$  à une ligne de mot désignée par un adresse déterminée, la tension  $V_{ER-}$  étant appliquée à toutes les lignes de mot du secteur à effacer.

30        **Rappels concernant les décodeurs de ligne de mot classiques à tension négative**

La figure 4 représente un décodeur de ligne de mot classique XDEC, comprenant un prédécodeur 10 (PREDEC) et une pluralité de postdécodeurs 11 (POSTDEC<sub>i</sub>), un seul postdécodeur 11 de rang  $i$  étant représenté. Le prédécodeur 10 reçoit en entrée une adresse ADR de sélection d'une page et comprend une pluralité



de sorties, en nombre égal au nombre de lignes de mot à contrôler. Sur chacune de ces sorties, le prédécodeur délivre des signaux de sélection  $L_x$ ,  $L_y$ ,  $L_z$  qui sont appliqués à un postdécodeur 11 de rang  $i$ . Le postdécodeur 11 délivre un signal  
5 de sélection  $SEL_i$  appliqué à la ligne de mot  $WL_i$  de rang correspondant.

Chaque postdécodeur 11 comprend en entrée une porte NON ET (NAND) comprenant trois transistors NMOS en série T1, T2, T3 formant la partie de rappel au niveau bas (partie "pull-down") de  
10 la porte NON ET. La partie de rappel au niveau haut ("pull-up") de la porte NON ET, qui tire le nœud de sortie à une tension positive  $V_{PCK}$ , est formée par un transistor PMOS T4 piloté par une tension VG. Les grilles des transistors T1, T2 et T3 sont respectivement pilotées par les signaux  $L_x$ ,  $L_y$ ,  $L_z$ . Selon la  
15 valeur de ces signaux, la porte NON ET délivre un signal  $NSEL_i$  égal à 1 ( $V_{PCK}$ ) ou à 0 (GND). Le signal  $NSEL_i$  est appliqué à une porte inverseuse polarisée par la tension  $V_{PCK}$ , comprenant un transistor NMOS T5 et un transistor PMOS T6. Le nœud de sortie de la porte inverseuse délivre un signal de sélection  $SEL_i$  qui peut  
20 être égal à  $V_{PCK}$  ("1" logique) ou à 0V ("0" logique).

La tension  $V_{PCK}$  est égale à une tension  $V_{READ}$  en mode lecture et est égale à la tension de programmation  $V_{PP2}$  en mode programmation. En mode effacement, la tension négative  $V_{ER-}$  est délivrée par un transistor PMOS T7 agencé en diode, dont le drain  
25 reçoit la tension  $V_{ER-}$  et dont la source est connectée à la sortie de la porte inverseuse T5/T6. Afin d'éviter une fuite de courant vers la masse par l'intermédiaire du transistor T5, un transistor d'isolement PMOS T8, piloté par une tension négative  $V_{DEP}$ , est agencé entre le nœud de sortie de la porte inverseuse T5/T6 et le  
30 drain du transistor T5.

Lorsque la tension d'effacement négative  $V_{ER-}$  est appliquée au postdécodeur 11, la porte inverseuse T5/T6 est maintenue dans l'état haute impédance (transistor T4 passant) et le postdécodeur est inhibé. Ainsi, tous les postdécodeurs 11 du décodeur XDEC  
35 délivrent la tension négative  $V_{ER-}$  ce qui entraîne l'effacement de toutes les pages d'un secteur.

### Exemple de décodeur de ligne de mot selon l'invention

La figure 5 représente un décodeur de ligne de mot XDEC1 selon l'invention, capable de délivrer sélectivement une tension d'effacement négative  $V_{ER-}$  sur une ligne de mot  $WL_i$  désignée par une adresse ADR, tout en délivrant une tension d'inhibition  $V_{INHIB}$  aux autres lignes de mot d'un secteur. Notons que le décodeur XDEC1 représenté est prévu pour piloter les lignes de mot d'un même secteur. Cette architecture de décodeur doit ainsi être dupliquée en plusieurs exemplaires dans une mémoire comprenant plusieurs secteurs, de manière à inhiber les décodeurs XDEC1 rattachés aux secteurs qui ne sont pas concernés par une opération de programmation ou d'effacement se déroulant dans un autre secteur.

Le décodeur XDEC1 comprend un étage de décodage classique 20 constitué par le prédécodeur PREDEC décrit plus haut et par une pluralité de postdécodeurs POSTDEC délivrant chacun un signal de sélection de page  $SEL_0, SEL_1, \dots, SEL_i, \dots, SEL_N$  fonction de l'adresse ADR reçue en entrée. Les postdécodeurs sont ici du type à tension positive, et correspondent au postdécodeur 11 représenté en figure 4 dans lequel les transistors T7 et T8 sont supprimés. L'étage de décodage 20 étant alimenté par la tension  $V_{PCX}$ , les signaux de sélection délivrés  $SEL_i$  sont ainsi égaux à  $V_{PCX}$  ou à 0V.

Selon l'invention, le décodeur XDEC1 comprend une pluralité de circuits adaptateurs de tension  $AD_0, AD_1, \dots, AD_i, \dots, AD_N$  recevant chacun en entrée un signal de sélection  $SEL_0, SEL_1, \dots, SEL_i, \dots, SEL_N$  et délivrant aux lignes de mot  $WL_0, WL_1, \dots, WL_i, \dots, WL_N$  du plan mémoire FLASH des tensions  $V_{WL0}, V_{WL1}, \dots, V_{WL_i}, \dots, V_{WLN}$  qui peuvent être positives, négatives ou nulles selon l'opération en cours d'exécution et la valeur du signal  $SEL_i$  reçu en entrée. Chaque circuit adaptateur  $AD_i$  reçoit sur une autre entrée un signal ERASE, qui est par exemple égal à 1 en mode effacement de page, et est alimenté par la tension  $V_{PCX}$  et par une tension  $V_{POL}$ .

La tension  $V_{PCX}$  est égale à la tension  $V_{READ}$  en mode lecture, à la tension de programmation  $V_{PE2}$  en mode programmation et à la tension d'inhibition  $V_{INHIB}$  en mode effacement. D'autre part, la tension  $V_{POL}$  est égale à la tension d'effacement négative  $V_{ER-}$  en

- mode effacement et est égale à 0V dans les autres modes de fonctionnement de la mémoire. La tension  $V_{POL}$  est par exemple délivrée par un interrupteur SWP à deux entrées piloté par le signal ERASE, une entrée de l'interrupteur SWP recevant la
- 5 tension  $V_{ER-}$  délivrée par une pompe de charge PMP et l'autre entrée de l'interrupteur étant connectée à la masse. Lorsque le signal ERASE est à 1, l'interrupteur SWP délivre la tension  $V_{ER-}$ . Lorsque le signal ERASE est à 0, l'interrupteur SWP connecte à la masse (GND) la ligne de distribution de la tension  $V_{POL}$ .
- 10 La fonction de transfert de chaque circuit adaptateur de tension  $AD_i$  est décrite par le tableau 1 ci-après (les signaux COM et NCOM sont des signaux intermédiaires décrits plus loin). On voit qu'en mode effacement ( $ERASE=1$ ) la tension  $V_{WLi}$  appliquée à une ligne de mot  $WL_i$  est égale à  $V_{ER-}$  si la ligne de mot
- 15 sélectionnée ( $SEL_i = 1$ ) ou est égale à  $V_{INHIB}$  si la ligne de mot n'est pas sélectionnée ( $SEL_i = 0$ ). En dehors des périodes d'effacement ( $ERASE=0$ ), la tension  $V_{WLi}$  appliquée à une ligne de mot  $WL_i$  sélectionnée ( $SEL_i=1$ ) est égale à la tension  $V_{PCX}$ , qui peut servir de tension de lecture  $V_{READ}$  ou de tension d'effacement  $V_{PF2}$
- 20 selon l'opération en cours de réalisation, tandis que la tension  $V_{WLi}$  appliquée à une ligne de mot  $WL_i$  non sélectionnée ( $SEL_i=0$ ) est nulle.

Tableau 1

ERASE	$SEL_i$	COM	NCOM	$V_{WLi}$
0	0	0	1	$V_{WLi} = V_{POL} = GND$
0	1	1	0	$V_{WLi} = V_{PCX} = V_{READ} (4,5V) \text{ ou } V_{PF2} (8-10V)$
1	0	1	0	$V_{WLi} = V_{PCX} = V_{INHIB} (4V)$
1	1	0	1	$V_{WLi} = V_{POL} = V_{ER-} (-8V)$

25

- La figure 6 représente un mode de réalisation d'un circuit  $AD_i$  selon l'invention. Le circuit  $AD_i$  comprend une porte XOR1 de type OU EXCLUSIF recevant en entrée les signaux  $SEL_i$  et ERASE et délivrant un signal COM. Le signal COM est appliqué à une porte
- 30 inverseuse INV1 délivrant un signal NCOM. La porte XOR1 et la porte INV1 sont alimentées par la tension  $V_{PCX}$ , de sorte que les signaux COM et NCOM ont pour valeur la tension  $V_{PCX}$  lorsqu'ils

sont à "1". Les signaux COM et NCOM sont appliqués à un étage pilote 30 (étage "driver") dont la sortie commande un étage inverseur 31.

L'étage pilote 30 comprend deux branches en parallèle  
5 comprenant chacune un transistor PMOS, respectivement T10, T12, en série avec un transistor NMOS, respectivement T11, T13. Les drains des transistors T10, T12 reçoivent la tension  $V_{PCK}$  tandis que les sources des transistors T11, T13 reçoivent la tension  $V_{POL}$ , qui peut être égale au potentiel de masse GND ou à la  
10 tension négative  $V_{ER-}$  comme cela a été décrit plus haut. Le point milieu de la branche T12/T13 est connecté à la grille du transistor T11 et le point milieu de la branche T10/T11 est connecté à la grille du transistor T13.

L'étage inverseur 31 comprend un transistor PMOS T14 en  
15 série avec un transistor NMOS T15, le transistor T14 recevant sur sa source la tension  $V_{PCK}$  et le transistor T15 recevant sur sa source la tension  $V_{POL}$ . Les grilles des transistors sont pilotées par le point milieu de la branche T12/T13, et le point milieu de l'étage inverseur T14/T15 délivre la tension  $V_{WLi}$ .

20 Les transistors NMOS T11, T13 et T15 sont réalisés dans un caisson WP de type P isolé du substrat par un caisson N, selon la technique triple caisson décrite plus haut.

Le fonctionnement du circuit adaptateur  $AD_i$  est décrit par le tableau 1 ci-dessus. L'étage pilote 30, qui reçoit la tension  
25  $V_{POL}$  en tant que tension de rappel au niveau bas (tension de "pull-down"), permet d'appliquer à la grille du transistor T15 de l'étage inverseur 31 une tension de blocage égale à  $V_{ER-}$  quand le drain du transistor T15 reçoit la tension  $V_{ER-}$  ( $V_{POL}=V_{ER-}$ ) ou une tension de blocage égale à 0 V quand le drain du transistor T15  
30 est à la masse ( $V_{POL}=GND$ ).

#### Contrôle et rafraîchissement des cellules mémoire

Comme on l'a indiqué plus haut, la prévision d'une tension d'inhibition de faible valeur peut conduire à un effacement progressif des cellules mémoire. Or, en pratique, et pour des  
35 raisons technologiques, il peut être souhaité de mettre en œuvre le procédé de l'invention avec une tension d'inhibition de faible

valeur, de l'ordre de 1 à 2V, plutôt qu'avec une tension d'inhibition élevée, de l'ordre de 4V ou plus.

Afin de pallier cet inconvénient, une idée de la présente invention est de contrôler, après chaque écriture d'une page, les transistors à grille flottante de K pages de la mémoire, et de rafraîchir si nécessaire les transistors ayant été contrôlés. On désigne par "écriture d'une page" un cycle d'effacement de la page (écriture collective de "1") ou un cycle d'effacement/programmation de la page (écriture collective de "1" puis écriture individuelle de "0" dans tout ou partie des cellules mémoire de la page).

Le nombre K de pages contrôlées est avantageusement inférieur au nombre total de pages de la mémoire et est égal à 1 dans un mode de réalisation préféré du procédé de l'invention. Les K pages contrôlées après chaque écriture doivent être différentes des K pages contrôlées au cours d'un cycle d'écriture précédent, afin de contrôler progressivement toutes les pages de la mémoire.

Une autre idée de l'invention, optionnelle mais avantageuse, est de gérer les adresses des pages à contrôler au moyen d'un compteur non volatile incrémenté d'une unité après chaque contrôle d'une page, le compteur étant réalisé au moyen de transistors à grille flottante du plan mémoire FLASH. De cette manière, il est possible de vérifier cycliquement toutes les pages de la mémoire en revenant à la première page de la mémoire par une remise à zéro du compteur, lorsque celui-ci atteint la dernière adresse mémoire.

Dans une mémoire comportant plusieurs secteurs, un tel compteur peut être prévu pour chaque secteur ou pour l'ensemble des secteurs. La prévision d'un tel compteur pose le problème de la durée de vie des transistors à grille flottante du compteur lui-même. En effet, si le compteur est effacé et reprogrammé avec une nouvelle valeur d'adresse après chaque écriture d'une page, le nombre de cycles d'effacement ou programmation des transistors du compteur va être très important, que le compteur soit affecté à un secteur ou à l'ensemble de la mémoire. Pour résoudre ce problème, la présente invention propose un mode de gestion de

compteur consistant à programmer un transistor du compteur à chaque incrémentation de celui-ci, sans effacer ni reprogrammer les autres transistors du compteur sauf lorsque le compteur doit être remis à zéro. Ainsi, le comptage est fait selon la méthode  
5 des jetons, un jeton utilisé ne pouvant être réutilisé. L'adresse de la page à contrôler est déterminée par le rang du prochain jeton à utiliser, soit le rang du premier transistor non programmé rencontré selon le sens de lecture du compteur. Lorsque tous les jetons sont utilisés, le compteur est effacé et le  
10 comptage recommence à partir du premier jeton.

Exemple de réalisation d'une mémoire effaçable par page comprenant des moyens de contrôle et de rafraîchissement de cellules mémoire

La figure 8 représente sous forme de blocs une mémoire MEM1  
15 selon l'invention mettant en oeuvre le procédé d'effacement sélectif selon l'invention et un procédé selon l'invention de contrôle et de rafraîchissement de cellules mémoire. La mémoire MEM1 comprend un plan mémoire FMA ("Flash Memory Array") comprenant ici huit secteurs mémoire S1 à S8 et un secteur  
20 supplémentaire formant un compteur CMPT selon l'invention. Chacun des secteurs S1 à S8, isolé des autres par la technique du triple caisson, compte 256 lignes de mot WL<sub>i</sub> ou pages comprenant chacune 256 mots de 8 bits (octets), soit 2048 lignes de bit BL<sub>j</sub>. La mémoire compte ainsi au total 2048 pages réparties dans les huit  
25 secteurs et offre une capacité de stockage de 4 Mbits.

Le compteur CMPT ne comprend ici qu'une ligne de mot et est dédié au contrôle des pages des huit secteurs S1 à S8. Le compteur CMPT comporte 2048 bits, de sorte qu'un bit du compteur peut être affecté à la désignation d'une page selon la méthode  
30 des jetons.

Par ailleurs, la mémoire est pourvue d'un décodeur de ligne de mot XDEC1 selon l'invention, capable d'appliquer à une ligne de mot WL<sub>i</sub> la tension d'effacement V<sub>ER</sub> ou la tension d'inhibition V<sub>INHIB</sub>. L'adressage du compteur CMPT est assuré par un décodeur  
35 spécifique CDEC activé par un signal SELC qui inhibe automatiquement le décodeur XDEC1.

La mémoire MEM1 comprend également un décodeur de colonne YDEC, un registre de programmation LT, un circuit de lecture SA, un compteur d'adresses de ligne RAC et un compteur d'adresses de colonne CAC.

5        Le décodeur de colonne YDEC comprend 2048 entrées/sorties connectées au 2048 lignes de bit du plan mémoire FMA et huit entrées/sorties connectées au registre de programmation LT et au circuit de lecture SA.

10        Le registre LT comprend classiquement huit verrous haute tension ("latches") (non représentés) permettant la programmation d'un octet dans le plan mémoire, les verrous étant connectés en sortie aux huit entrées/sorties du décodeur de colonne YDEC et connectés en entrée à un bus de données DTB de huit bits. Le registre LT enregistre un octet présent sur le bus DTB sur  
15        réception d'un signal DLOAD, et délivre la tension de programmation  $V_{PP1}$  sur ses sorties (selon les valeurs des bits de l'octet chargé) sur réception d'un signal de programmation PROG.

20        Le circuit de lecture SA, activé par un signal READ, comprend classiquement huit amplificateurs de lecture ("sense amplifiers") (non représentés) connectés aux huit entrées/sorties du décodeur de colonne YDEC, et est connecté en sortie au bus de données DTB.

25        Le compteur RAC ("Row Address Counter") reçoit en entrée onze bits d'adresse de poids fort a[18:8] présents sur un bus d'adresse ADB, et délivre ces bits d'adresse au décodeur de colonne XDEC1. Le compteur RAC est piloté par un signal LOAD1 de chargement des bits d'adresse et peut être incrémenté par un signal INC1. Il délivre un signal OVFI en cas de débordement après incrémentation. Les bits d'adresse de poids fort a[18:8]  
30        sont appliqués au compteur RAC par l'intermédiaire de deux multiplexeurs MUX1, MUX2 à deux entrées chacun. Plus particulièrement, le compteur RAC reçoit trois bits d'adresse a[10:8] sur des entrées in[10:8] par l'intermédiaire du multiplexeur MUX1 dont une entrée est connectée au bus ADB, et  
35        reçoit huit bits d'adresse a[18:11] sur des entrées in[18:11] par l'intermédiaire du multiplexeur MUX2 dont une entrée est

également connectée au bus ADB. Les multiplexeurs MUX1, MUX2 sont pilotés par un signal MODE décrit plus loin.

Le compteur CAC ("Column Address Counter") reçoit huit bits d'adresse de poids faible a[7:0] sur des entrées in[7:0] connectées au bus ADB. La sortie du compteur CAC délivre les bits d'adresse a[7:0] sur l'entrée d'adresse du décodeur de colonne YDEC et est également connectée à la deuxième entrée du multiplexeur MUX2. Le compteur CAC est piloté par un signal de chargement LOAD2, par un signal d'incrémentation INC2 et délivre le cas échéant un signal de débordement OV2.

La mémoire MEM1 comprend également un registre à décalage SREG à entrée/sortie parallèle, un circuit CONV, un détecteur de zéro DETZ, un tampon BUF1, un comparateur logique COMP et un séquenceur SEQ.

Le registre SREG a son entrée connectée au bus de données DTB et sa sortie est connectée à l'entrée d'un circuit de conversion CONVC et au bus de données DTB. Le registre SREG est piloté par un signal de décalage SHIFT et délivre un signal de débordement OVFC lorsque son contenu atteint la valeur 00<sub>H</sub> après un décalage à droite.

Le circuit CONVC est un circuit à logique câblée réalisant une fonction de décodage décrite plus loin. Sa sortie est connectée à la deuxième entrée du multiplexeur MUX1.

Le détecteur DETZ est connecté en entrée au bus de données DTB, et délivre un signal DTZ à 1 lorsqu'un octet égal à 00<sub>H</sub> est présent sur le bus DTB.

Le tampon BUF1 a son entrée connectée au bus DTB et sa sortie est appliquée sur une entrée du comparateur COMP, dont l'autre entrée est connectée au bus DTB. Le tampon BUF1 charge une donnée sur réception d'un signal de chargement BLOAD, et le comparateur COMP délivre un signal DOK ("Data OK") lorsqu'un mot W2 présent sur le bus de donnée DTB est identique à un mot W1 présent à la sortie du tampon BUF1.

Enfin, le séquenceur SEQ, à logique câblée ou à microprocesseur, par exemple un microcontrôleur, délivre l'ensemble des signaux de commande décrits ci-dessus et reçoit l'ensemble des signaux émis par les éléments décrits ci-dessus.



La mémoire MEM1 fonctionne de façon classique pendant les opérations de lecture, d'écriture ou d'effacement, les opérations à réaliser étant fournies au séquenceur sous forme de codes opération CODE[OP]. Le signal MODE est à 1 et les multiplexeurs  
5 MUX1, MUX2 connectent le bus d'adresse ADB sur les entrées in[10:8] et in[18:11] du compteur RAC, les bits d'adresse de poids fort se retrouvant ainsi en entrée du compteur RAC et les bits d'adresse de poids faible en entrée du compteur CAC. Conformément à l'invention, l'effacement d'une page d'adresse  
10 a[18:8] est assuré en appliquant la tension  $V_{ER-}$  aux grilles des transistors de la page, tandis que les transistors des autres pages du secteur visé reçoivent la tension d'inhibition  $V_{INHIB}$  ( $V_{PCX}$ ). Parallèlement, la tension  $V_B$  est appliquée au caisson du secteur où se trouve la page à effacer, pour génération de la  
15 tension  $V_{ER+}$  sur les électrodes de source.

Lorsqu'une page a été effacée, le séquenceur SEQ déclenche une procédure de lecture du compteur CMPT visant à déterminer l'adresse d'une page devant être contrôlée. A cet effet, le séquenceur active le décodeur CDEC au moyen du signal SELC, met à  
20 zéro le compteur CAC et active le circuit de lecture SA (signal READ). Le premier octet du compteur CMPT est délivré par le circuit SA sur le bus de données DTB. Si le signal STZ à la sortie du circuit de détection DETZ est à 1, cela signifie que le premier octet lu dans le compteur CMPT ne comprend que des zéros.  
25 En d'autres termes, cela signifie que les transistors à grille flottante dans lesquels est enregistré le premier octet du compteur CMPT sont tous programmés. Le séquenceur incrémente donc le compteur CAC d'une unité et lit l'octet suivant, ainsi de suite si nécessaire jusqu'à ce que le signal DTZ passe à 0.  
30 Lorsque le signal DTZ passe à 0, le séquenceur sait qu'un octet contenant un bit à 1, correspondant à un transistor effacé, a été trouvé. Il s'agit du premier octet non nul du compteur CMPT.

Les bits c[7:0] de l'octet non nul sont chargés dans le registre SREG et se retrouvent à l'entrée du circuit de  
35 conversion CONVC. Ce dernier délivre sur les entrées in[10:8] du compteur RAC, par l'intermédiaire du multiplexeur MUX1, les bits de poids faible a'[10:8] de l'adresse de la page à contrôler. La

conversion des bits c[7:0] de l'octet non nul en bits d'adresse a'[10:8] est assurée par le circuit CONV C conformément à la table décrite par le tableau 2 ci-après.

Au même instant, les bits d'adresse de colonne a[7:0] de l'octet non nul du compteur CMPT, appliqués par le compteur CAC au décodeur YDEC, sont présents sur les entrées in[10:8] du compteur RAC en tant que bits d'adresse de poids fort a'[18:11] de l'adresse de la page à contrôler. L'adresse de la page à contrôler, comprenant les bits a'[10:8] et les bits a'[18:11], est ainsi chargée dans le compteur RAC au moyen de la commande LOAD1 et le processus de contrôle de page peut commencer.

Tableau 2 : table de conversion

c[7:0]	a'[10:8]
1 1 1 1 1 1 1 1	000
0 1 1 1 1 1 1 1	001
0 0 1 1 1 1 1 1	010
0 0 0 1 1 1 1 1	011
0 0 0 0 1 1 1 1	100
0 0 0 0 0 1 1 1	101
0 0 0 0 0 0 1 1	110
0 0 0 0 0 0 0 1	111

Le procédé de lecture du compteur CMPT qui vient d'être décrit est illustré en figure 9. On voit que les bits de poids fort a'[18:11] de l'adresse de la page correspondent au rang, dans le compteur CMPT, du premier octet non nul trouvé. Il s'agit donc bien de l'adresse a[7:0] de la colonne contenant l'octet non nul. D'autre part, les bits de poids faible a'[10:8] de l'adresse de la page à contrôler correspondent au rang, dans le premier octet non nul, du premier bit non nul de l'octet. En définitive, l'adresse complète a'[18:8] déterminée par ce procédé correspond au rang dans le compteur CMPT du premier bit non nul, c'est-à-dire au rang du premier transistor non programmé.

Au cours de l'étape de contrôle, les octets de la page sélectionnée sont lus les uns après les autres en incrémentant le

compteur CAC. Avantageusement, chaque octet est lu au moyen de deux tensions de lecture différentes, la première étant la tension de lecture  $V_{\text{READ}}$  conventionnelle et la deuxième une tension de vérification  $V_{\text{VRFY}}$  supérieure à  $V_{\text{READ}}$ . Les deux tensions sont  
5 obtenues en faisant varier la tension  $V_{\text{PCX}}$  appliquée au décodeur XDEC1.

La figure 7 illustre le procédé de contrôle et de rafraîchissement selon l'invention, et représente la répartition statistique DS des tensions de seuil  $V_t$  de transistors effacés  
10 (courbe CA, lecture d'un "1") et la répartition statistique des tensions de seuil  $V_t$  de transistors programmés (courbe CB, lecture d'un "0"). Sous l'effet du stress électrique, la courbe CB a tendance à se déplacer lentement vers la gauche, pour former une courbe CB'. Les transistors relevant de la courbe CB' ont  
15 perdu des charges électriques et présentent des tensions de seuil plus faibles que la normale. La tension  $V_{\text{READ}}$ , de l'ordre de 4,5V, se trouve à gauche des courbes CB et CB' et ne permet pas de distinguer un transistor relevant de la courbe CB ou un transistor relevant de la courbe CB'. La tension de vérification  
20  $V_{\text{VRFY}}$ , par exemple 7V, se trouve par contre entre les deux courbes CB, CB' et permet de distinguer un transistor correctement programmé d'un transistor dont la grille flottante a perdu des charges électriques, car dans le premier cas le transistor restera bloqué et dans le second cas le transistor sera passant.  
25 La comparaison d'un octet lu au moyen des deux tensions  $V_{\text{READ}}$ ,  $V_{\text{VRFY}}$  permet ainsi de détecter l'existence d'au moins un transistor programmé dont la tension de seuil est devenue plus faible que la tension  $V_{\text{VRFY}}$ .

La comparaison est faite simultanément sur les huit bits de  
30 chaque octet au moyen du comparateur COMP. L'octet W1 lu au moyen de la tension  $V_{\text{VRFY}}$  est stocké dans le tampon BUF1, et l'octet W2 lu avec la tension  $V_{\text{READ}}$  se retrouve sur le bus DTB et sur la deuxième entrée du comparateur. Si le signal DOK à la sortie du comparateur passe à 0, le séquenceur sait que tout ou partie des  
35 transistors programmés (s'il y en a) dans lesquels l'octet est enregistré ont perdu des charges électriques. Dans ce cas, l'octet W2, qui est l'octet de référence car il a été lu avec la

tension  $V_{\text{READ}}$ , est chargé dans le registre de programmation LIT et le séquenceur déclenche un cycle de programmation pour rafraîchir les cellules endommagées. Au cours du cycle de programmation, les transistors reprogrammés sont ceux qui correspondent à la lecture  
5 d'un bit à 0 avec la tension  $V_{\text{READ}}$  et à la lecture d'un bit à 1 avec la tension  $V_{\text{VERIFY}}$ , les transistors effacés n'étant pas concernés par l'opération.

Lorsque tous les octets de la page ont été contrôlés et que les cellules mémoire endommagées ont été reprogrammées, le  
10 séquenceur incrémente le compteur CMPT d'une unité. Comme indiqué plus haut, cette incrémentation consiste à programmer le premier transistor non programmé trouvé à l'étape de recherche de l'adresse de la page à contrôler. A cet effet, le séquenceur applique au compteur CAC les bits d'adresse de poids fort  
15 a[18:11] se trouvant à la sortie du compteur RAC, en tant que bits d'adresse de colonne a[7:0] du premier octet non nul du compteur CMPT. Cette opération est l'inverse de celle faite précédemment pour trouver l'adresse de la page à contrôler, et fait intervenir une connexion entre la sortie du compteur RAC et  
20 l'entrée du compteur CAC, qui n'a pas été représentée en figure 8 pour ne pas surcharger le schéma. Une fois l'adresse de l'octet non nul récupérée par le compteur CAC, la valeur de l'octet non nul, conservée par le registre SREG, est incrémentée par décalage à droite (signal SHIFT). La valeur incrémentée est ensuite  
25 envoyée dans le registre LIT pour programmation de l'octet. Un seul bit à 0 ayant été ajouté par le décalage à droite, la reprogrammation de l'octet non nul va entraîner la programmation du premier transistor à grille flottante effacé trouvé lors de la recherche de l'adresse de la page à contrôler, les transistors  
30 déjà programmés n'étant pas reprogrammés.

Si le registre SREG délivre le signal de débordement OVFC après insertion d'un bit à 0 par décalage à droite, cela signifie que l'octet ne contient que des zéros. Aussi, après avoir programmé l'octet à 0 dans le compteur CMPT, le séquenceur  
35 incrémente le compteur CAC à titre de vérification. Si le compteur CAC délivre le signal de débordement OV2, cela signifie que l'octet à 0 était le dernier octet du compteur CMPT. Dans ce

cas, le séquenceur sait qu'il devra remettre à zéro le compteur CMPT après le prochain cycle de vérification d'une page, la page restant à vérifier étant la dernière de la mémoire.

Le procédé de contrôle et de rafraîchissement de transistors qui vient d'être décrit est particulièrement simple à  
5 mettre en œuvre et nécessite peu de moyens matériels. Il est en outre quasiment transparent pour l'utilisateur car le temps de contrôle et de reprogrammation éventuelle d'une page est de l'ordre de 200  $\mu$ s, à comparer avec un temps de l'ordre de 1 275  $\mu$ s  
10 (255x5 $\mu$ s) pour la programmation des 255 octets d'une page, auquel s'ajoute le temps nécessaire à l'effacement préalable de la page.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes de réalisation.

D'une part, un compteur CMPT selon l'invention peut  
15 comprendre plusieurs lignes de mot, selon la taille du plan mémoire à contrôler. Par exemple, une mémoire de 16 secteurs et d'une capacité de 8 Mbits nécessitera un compteur de deux lignes de 2048 bits chacune, à moins que le compteur ne soit éclaté en plusieurs compteurs dédiés à chacun des secteurs.

20 D'autre part, bien que l'on ait proposé une méthode de comptage des lignes à rafraîchir dans laquelle un "jeton" correspond à un transistor et un seul, il est également possible à chaque incrémentation du compteur de programmer un groupe de transistors représentant un jeton, par exemple quatre  
25 transistors, pour pallier une éventuelle défaillance d'un transistor. Dans ce cas, la méthode pour retrouver l'adresse de la ligne à rafraîchir consiste à trouver dans le compteur le premier groupe de quatre bits comprenant au moins trois bits égaux à 1.

30 Enfin, le procédé selon l'invention peut s'appliquer à des cellules mémoire comprenant des transistors à grille flottante du type PMOS, la tension  $V_{ER}$  étant dans ce cas appliquée aux drains et non aux sources des transistors.

REVENDICATIONS

1. Procédé d'enregistrement de données dans une mémoire FLASH comprenant au moins un secteur (S1), dans lequel l'effacement d'une page ( $P_i$ ) de la mémoire comprend l'application d'une tension d'effacement négative ( $V_{POL}$ ,  $V_{ER-}$ ) aux grilles des transistors à grille flottante de la page à effacer et l'application d'une tension d'effacement positive ( $V_{ER+}$ ) aux électrodes de source ou de drain de tous les transistors à grille flottante du secteur (S1) de la mémoire comprenant la page à effacer, caractérisé en ce que l'effacement d'une page comprend l'application d'une tension d'inhibition positive ( $V_{INHIB}$ ,  $V_{PCX}$ ) aux grilles des transistors d'au moins une page de la mémoire ne devant pas être effacée, et en ce qu'il comprend une étape de contrôle d'au moins une page de la mémoire, comprenant une première lecture de la page faite en appliquant une première tension de lecture ( $V_{READ}$ ) aux grilles des transistors de la page, une seconde lecture de la page faite en appliquant une deuxième tension de lecture ( $V_{VERIFY}$ ) aux grilles des transistors de la page, et une reprogrammation de transistors si les deux lectures donnent des résultats différents (W1, W2).

20

2. Procédé selon la revendication 1, dans lequel la deuxième tension de lecture ( $V_{VERIFY}$ ) est supérieure à la première tension de lecture ( $V_{READ}$ ), la première tension de lecture ( $V_{READ}$ ) correspond à une tension de lecture normale utilisée pendant des phases de lecture de la mémoire, et la reprogrammation de transistors est faite en utilisant comme données de reprogrammation les données lues en appliquant la première tension de lecture ( $V_{READ}$ ).

25

3. Procédé selon l'une des revendications 1 et 2, dans lequel la tension d'inhibition ( $V_{INHIB}$ ,  $V_{PCX}$ ) est inférieure à la tension d'effacement positive ( $V_{ER+}$ ).

30

4. Procédé selon l'une des revendications 1 à 3, comprenant une étape consistant à prévoir dans la mémoire des circuits

35

adaptateurs de tension ( $AD_i$ ) recevant chacun en entrée un signal de sélection de page ( $SEL_i$ ) et délivrant aux grilles des transistors de la page correspondante :

- une tension positive ( $V_{PCX}$ ), lorsque le signal de sélection de page présente une première valeur ("0") correspondant à la non-sélection de la page et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente une deuxième valeur ("1") correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement, ou
- une tension de polarisation ( $V_{POL}$ ) inférieure à la tension positive ( $V_{PCX}$ ,  $V_{INHIB}$ ), lorsque le signal de sélection présente la deuxième valeur ("1") et que la mémoire est en mode effacement ou lorsque le signal de sélection présente la première valeur ("0") et que la mémoire n'est pas en mode effacement.

15

5. Procédé selon la revendication 4, dans lequel les circuits adaptateurs de tension ( $AD_i$ ) reçoivent :

- pendant l'effacement d'une page, une tension de polarisation ( $V_{POL}$ ) égale à la tension d'effacement négative ( $V_{ER-}$ ) et une tension positive ( $V_{PCX}$ ) égale à la tension d'inhibition ( $V_{INHIB}$ ), et
- pendant la lecture d'un mot dans la mémoire, une tension de polarisation ( $V_{POL}$ ) égale au potentiel de masse (GND) et une tension positive ( $V_{PCX}$ ) égale à une tension de lecture ( $V_{READ}$ ).

25

6. Procédé selon l'une des revendications 1 à 5 comprenant, après chaque écriture d'une page dans un secteur de la mémoire, le contrôle de K pages du secteur considéré, K étant strictement inférieur au nombre de pages du secteur considéré et au moins égal à 1.

30

7. Procédé selon l'une des revendications 1 à 6, dans lequel l'étape de contrôle est appliquée à au moins une page de la mémoire se trouvant à une adresse lue dans un compteur non volatile (CMPT) formé par au moins une rangée de transistors à grille flottante.

35

8. Procédé selon la revendication 7, dans lequel le compteur est incrémenté d'une unité (SHIFT) après le contrôle d'au moins une page, en programmant au moins un transistor à grille flottante du compteur sans effacer les autres transistors du compteur, le transistor programmé à chaque nouvelle  
5 incrémentation du compteur étant le transistor suivant le transistor programmé à l'incrémentation précédente, selon un sens de lecture du compteur.

10 9. Procédé selon l'une des revendications 7 et 8, dans lequel le compteur comprend une pluralité de mots de rang croissant, et la lecture dans le compteur de l'adresse d'au moins une page à contrôler comprend les étapes consistant à :  
- lire le compteur mot à mot jusqu'à trouver un mot (c[7:0])  
15 comprenant un bit correspondant à un transistor effacé,  
- déterminer les bits de poids fort (a'[18:11]) de l'adresse de la page à contrôler au moyen du rang, dans le compteur, du premier mot trouvé comprenant un bit correspondant à un transistor effacé, et  
20 - déterminer les bits de poids faible (a'[11:8]) de l'adresse de la page à contrôler au moyen du rang, dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

10. Procédé selon l'une des revendications 7 à 9, dans  
25 lequel les transistors à grille flottante du compteur sont agencés dans un secteur exclusivement dédié au compteur, de sorte que des tensions de programmation appliquées à des transistors à grille flottante d'un autre secteur (S1-S8) de la mémoire ne se répercutent pas sur les transistors à grille flottante du  
30 compteur.

11. Procédé selon l'une des revendications 1 à 10, dans lequel le contrôle d'une page est effectué mot à mot et le contrôle d'un mot comprend la lecture du mot avec la première  
35 tension de lecture ( $V_{\text{READ}}$ ), la lecture du mot avec la deuxième tension de lecture ( $V_{\text{VFY}}$ ), et la reprogrammation de transistors si les deux lectures donnent des résultats différents (W1, W2).



12. Procédé selon l'une des revendications précédentes, dans lequel la tension d'effacement positive ( $V_{ER+}$ ) est appliquée aux électrodes de source ou de drain des transistors à grille flottante par l'intermédiaire du matériau (1) formant le canal (CHN) des transistors.

13. Mémoire FLASH (MEM1) effaçable par page comprenant :

- un plan mémoire (FMA) comportant une pluralité de pages
- comportant chacune des transistors à grille flottante connectés par leurs grilles à des lignes de mot ( $WL_i$ ),
- un décodeur de ligne de mot (XDEC1) connecté aux lignes de mot de la mémoire,
- des moyens pour appliquer une tension d'effacement positive ( $V_{ER+}$ ) aux électrodes de source ou de drain de tous les transistors à grille flottante d'un secteur comprenant une page à effacer,

caractérisée en ce que le décodeur de ligne de mot (XDEC1) comprend des moyens ( $AD_i$ ) pour appliquer, lors de l'effacement d'une page, une tension d'effacement négative ( $V_{PCL}$ ,  $V_{ER-}$ ) aux grilles des transistors de la page à effacer, tout en appliquant une tension d'inhibition positive ( $V_{INHIB}$ ,  $V_{PCX}$ ) aux grilles des transistors d'au moins une page ne devant pas être effacée, et en ce qu'elle comprend des moyens (CMPT, SREG, CONVC, DETZ, LT, XDEC1, SA, COMP) de contrôle d'au moins une page de la mémoire, agencés pour effectuer une première lecture de la page en appliquant une première tension de lecture ( $V_{READ}$ ) aux grilles des transistors de la page, effectuer une seconde lecture de la page en appliquant une deuxième tension de lecture ( $V_{VRFY}$ ) aux grilles des transistors de la page, et reprogrammer des transistors de la page si les deux lectures donnent des résultats différents ( $W1$ ,  $W2$ ).

14. Mémoire selon la revendication 13, dans laquelle la deuxième tension de lecture ( $V_{VRFY}$ ) est supérieure à la première tension de lecture ( $V_{READ}$ ), la première tension de lecture ( $V_{READ}$ ) correspond à une tension de lecture normale utilisée pendant des

phases de lecture de la mémoire, et la reprogrammation de transistors est faite en utilisant comme données de reprogrammation les données lues en appliquant la première tension de lecture ( $V_{\text{READ}}$ ).

5

15. Mémoire selon l'une des revendications 13 et 14, dans laquelle la tension d'inhibition ( $V_{\text{INHIB}}$ ,  $V_{\text{PCX}}$ ) délivrée par le décodeur de ligne de mot (XDEC1) est inférieure à la tension d'effacement positive ( $V_{\text{ER+}}$ ).

10

16. Mémoire selon l'une des revendications 13 à 15, dans laquelle le décodeur de ligne de mot (XDEC1) comprend des circuits adaptateurs de tension ( $AD_i$ ) recevant en entrée un signal de sélection de page ( $SEL_i$ ) et délivrant aux grilles des transistors de la page correspondante :

15

- une tension positive ( $V_{\text{PCX}}$ ), lorsque le signal de sélection présente une première valeur ("0") correspondant à la non-sélection de la page et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente une deuxième valeur ("1") correspondant à la sélection de la page et que la mémoire n'est pas en mode effacement (ERASE), ou

20

- une tension de polarisation ( $V_{\text{POL}}$ ) inférieure à la tension positive ( $V_{\text{PCX}}$ ,  $V_{\text{INHIB}}$ ), lorsque le signal de sélection présente la deuxième valeur ("1") et que la mémoire est en mode effacement (ERASE) ou lorsque le signal de sélection présente la première valeur ("0") et que la mémoire n'est pas en mode effacement (ERASE).

25

17. Mémoire selon la revendication 16, comprenant des moyens (PMP, SWP) pour fournir aux circuits adaptateurs de tension ( $AD_i$ ) :

30

- pendant l'effacement d'une page, une tension de polarisation ( $V_{\text{POL}}$ ) égale à la tension d'effacement négative ( $V_{\text{ER-}}$ ) et une tension positive ( $V_{\text{PCX}}$ ) égale à la tension d'inhibition ( $V_{\text{INHIB}}$ ), et
- pendant la lecture d'un mot dans la mémoire, une tension de polarisation ( $V_{\text{POL}}$ ) égale au potentiel de masse (GND) et une tension positive ( $V_{\text{PCX}}$ ) égale à une tension de lecture ( $V_{\text{READ}}$ ).

35

18. Mémoire selon la revendication 17, dans laquelle le circuit adaptateur de tension ( $AD_i$ ) comprend un étage inverseur de sortie (INV2) recevant d'une part la tension positive ( $V_{PCX}$ ,  $V_{INHIB}$ )...  
5 et d'autre part la tension de polarisation ( $V_{POL}$ ,  $V_{ER-}$ , GND), et un étage de commande de l'étage inverseur comprenant une fonction logique OU EXCLUSIF (XOR) recevant en entrée le signal de sélection ( $SEL_i$ ) et un signal (ERASE) présentant une valeur déterminée pendant l'effacement d'une page.

10

19. Mémoire selon l'une des revendications 13 à 18 dans laquelle les moyens de contrôle sont agencés pour, après chaque écriture d'une page dans un secteur de la mémoire, contrôler K pages du secteur considéré, K étant strictement inférieur au  
15 nombre de pages du secteur considéré et au moins égal à 1.

20. Mémoire selon l'une des revendications 13 à 19, dans laquelle les moyens de contrôle comprennent :  
- un compteur non volatile (CMPT) formé par au moins une rangée  
20 de transistors à grille flottante,  
- des moyens (SREG, CONV, DETZ) pour lire dans le compteur l'adresse d'au moins une page à contrôler, et  
- des moyens (SREG, LT) d'incrémentation du compteur après le contrôle d'au moins une page.

25

21. Mémoire selon la revendication 20, dans laquelle les moyens pour lire l'adresse d'au moins une page à contrôler comprennent :  
- des moyens (CDEC, SA, DETZ, CAC) de lecture mot à mot du  
30 compteur et de recherche d'un mot ( $c[7:0]$ ) contenant un bit correspondant à un transistor effacé,  
- des moyens (CONV, MUX1) pour délivrer des bits de poids fort ( $a'[18:11]$ ) de l'adresse de la page à contrôler à partir du rang, dans le compteur, du premier mot trouvé contenant un bit  
35 correspondant à un transistor effacé, et  
- des moyens (CAC, MUX2) pour calculer des bits de poids faible ( $a'[11:8]$ ) de l'adresse de la page à contrôler à partir du rang,

dans le premier mot trouvé, du premier bit correspondant à un transistor effacé.

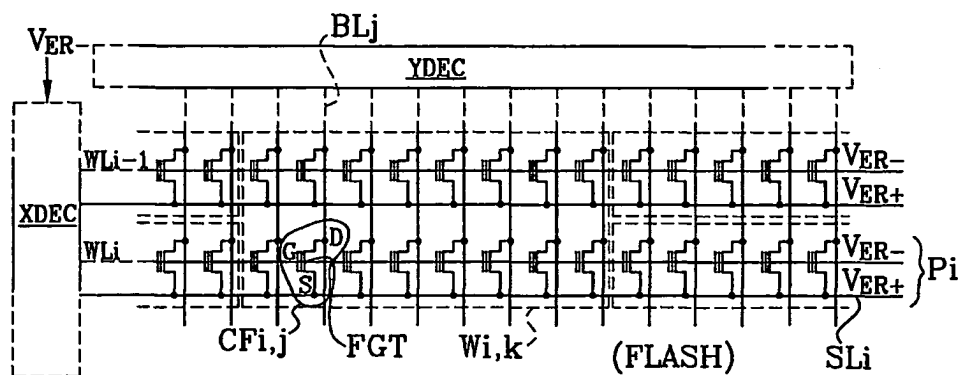
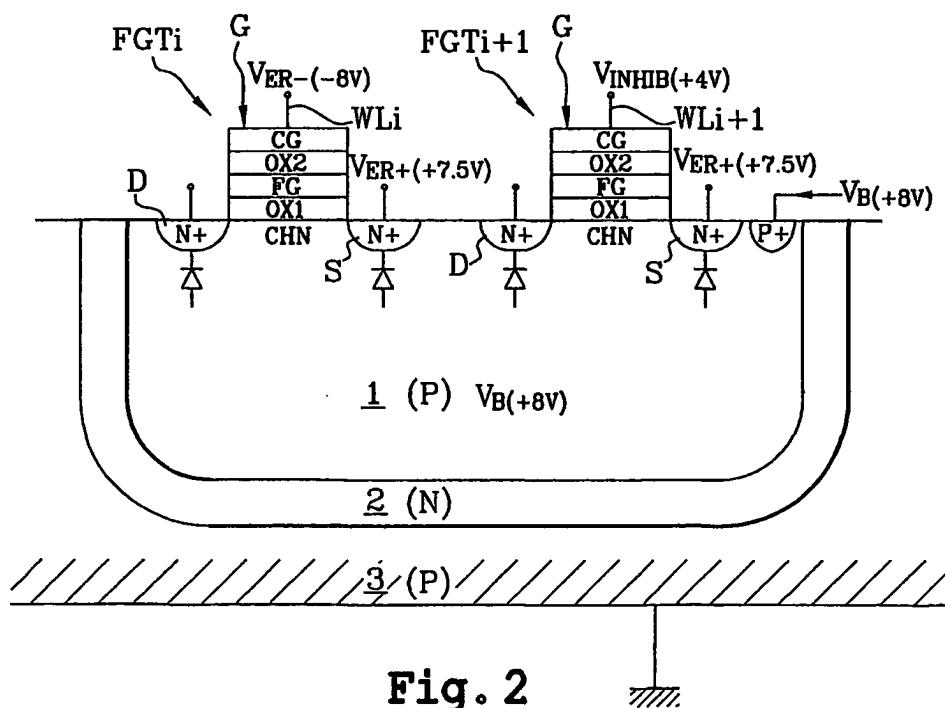
22. Mémoire selon l'une des revendications 20 et 21, dans  
5 laquelle les moyens (SREG, LT) d'incrémentation du compteur sont  
agencés pour programmer au moins un transistor à grille flottante  
du compteur sans effacer les autres transistors du compteur, le  
transistor programmé à chaque nouvelle incrémentation étant le  
transistor suivant le transistor programmé à l'incrémentacion  
10 précédente, selon un sens de lecture du compteur.

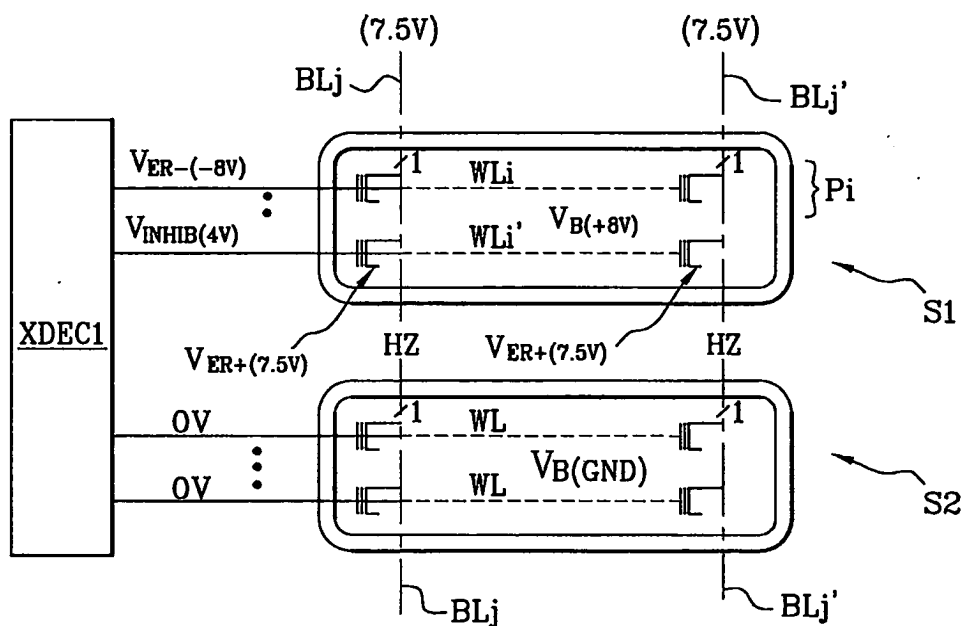
23. Mémoire selon l'une des revendications 20 à 22, dans  
laquelle les transistors à grille flottante du compteur (CMPT)  
sont agencés dans un secteur exclusivement dédié au compteur, de  
15 sorte que des tensions de programmation appliquées à des  
transistors à grille flottante d'un autre secteur (S1-S8) de la  
mémoire ne se répercutent pas sur les transistors à grille  
flottante du compteur.

20 24. Mémoire selon l'une des revendications 13 à 23, dans  
laquelle les moyens de contrôle d'au moins une page sont agencés  
pour contrôler une page mot à mot, le contrôle d'un mot  
comprenant la lecture du mot avec la première tension de lecture  
( $V_{\text{READ}}$ ), la lecture du mot avec la deuxième tension de lecture  
25 ( $V_{\text{VERIFY}}$ ), la comparaison des résultats des deux lectures et la  
reprogrammation des transistors du mot si les deux lectures  
donnent des résultats différents.

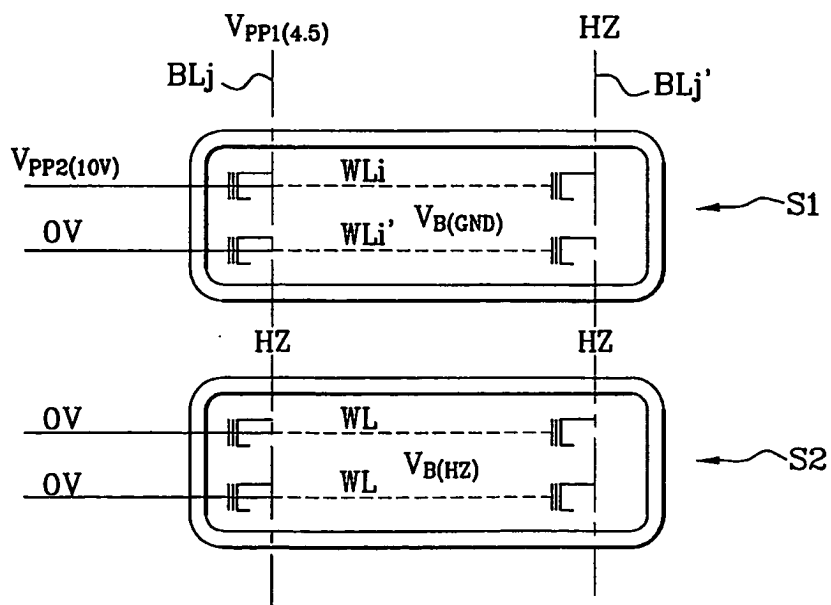
25 25. Mémoire selon l'une des revendications 13 à 24, dans  
laquelle la tension d'effacement positive ( $V_{\text{ER+}}$ ) est appliquée aux  
électrodes de source ou de drain des transistors à grille  
flottante par l'intermédiaire du matériau (1) formant le canal  
(CHN) des transistors.

1/6

**Fig. 1** (ART ANTERIEUR)**Fig. 2**

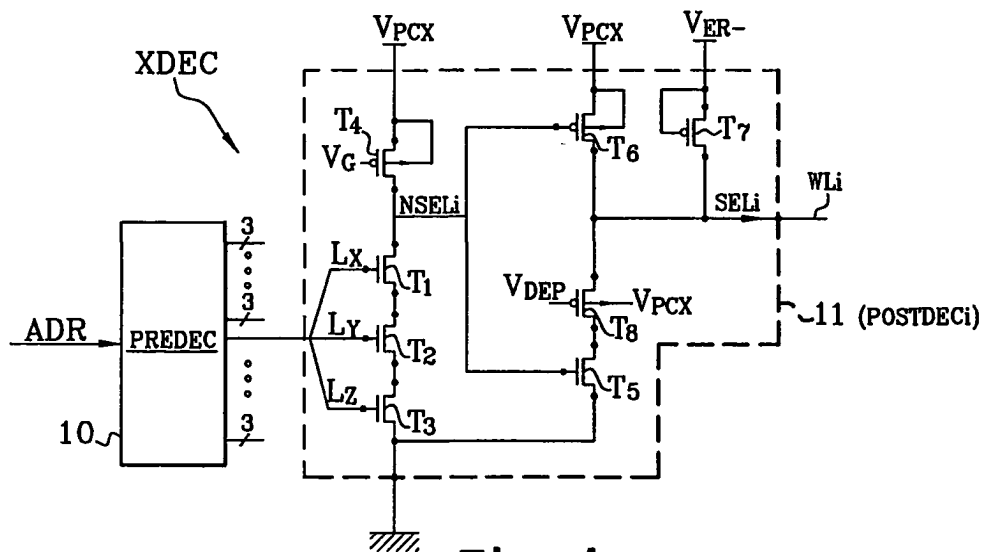


**Fig. 3A**



**Fig. 3B**

3/6



**Fig. 4** (ART ANTERIEUR)

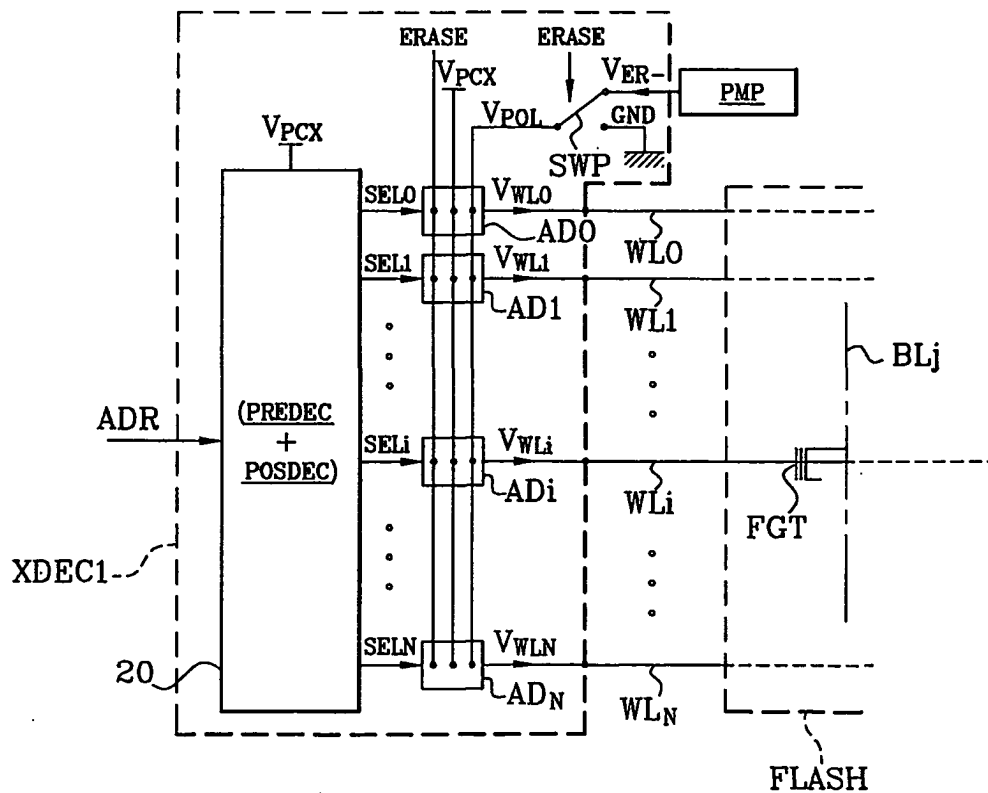


Fig. 5





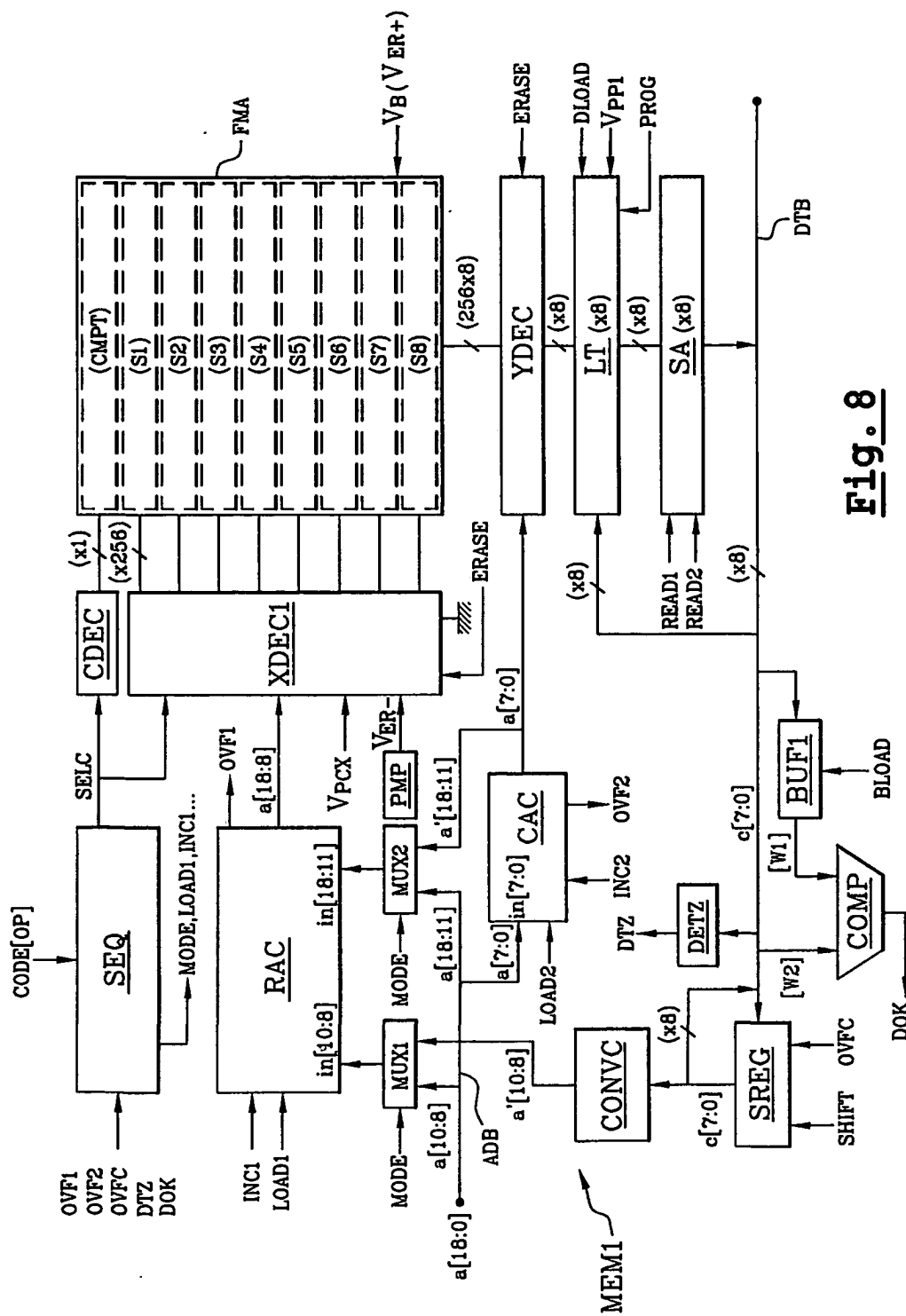
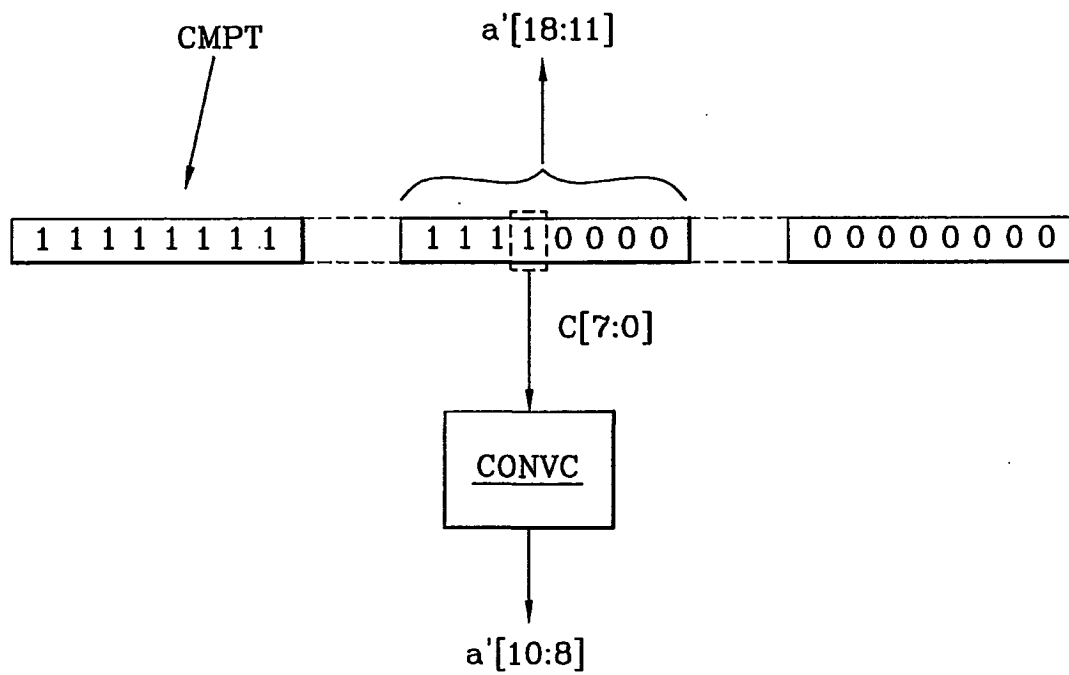


Fig. 8

6/6

**Fig. 9**

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/FR 01/03560

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G11C16/16 G11C16/34

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 598 368 A (MASAHITO TAKAHASHI ET AL) 28 January 1997 (1997-01-28) column 7, line 22 - line 31; figure 3 column 10, line 30 - line 56; figure 8	1-3, 11, 13-15, 24
Y	US 5 239 505 A (MIELKE NEAL R ET AL) 24 August 1993 (1993-08-24) column 9, line 49 - column 12, line 36; figures 2-5	1-3, 11, 13-15, 24
A	US 6 021 083 A (LIN YU-SHEN ET AL) 1 February 2000 (2000-02-01) column 3, line 46 - column 4, line 3 column 5, line 26 - column 7, line 55; claim 1; figures 2,3; table 1  -/-	4, 5, 16-18

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the International search

7 February 2002

Date of mailing of the International search report

19/02/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Cummings, A

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 01/03560

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SHIGERU ATSUMI ET AL: "A 16-MB FLASH EEPROM WITH A NEW SELF-DATA-REFRESH SCHEME FOR A SECTOR ERASE OPERATION" IEICE TRANSACTIONS ON ELECTRONICS, JP, INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG. TOKYO, vol. E77-C, no. 5, 1 May 1994 (1994-05-01), pages 791-798, XP000459519 ISSN: 0916-8524 page 792, right-hand column, line 16 -page 794, right-hand column, line 10; figures 5,7	1-3, 6-11, 13-15, 19-24
A	US 5 994 732 A (AJIKA NATSUO ET AL) 30 November 1999 (1999-11-30) column 2, line 39 -column 3, line 28; figures 8,9 column 7, line 26 -column 8, line 2; figures 1,4	

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 01/03560

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5598368	A	28-01-1997	JP 7320488 A CN 1149183 A TW 425715 B US 5677868 A US 5898621 A	08-12-1995 07-05-1997 11-03-2001 14-10-1997 27-04-1999
US 5239505	A	24-08-1993	NONE	
US 6021083	A	01-02-2000	WO 9930326 A1 EP 0979489 A1 US 5966331 A	17-06-1999 16-02-2000 12-10-1999
US 5994732	A	30-11-1999	JP 9307005 A KR 244406 B1	28-11-1997 01-02-2000



# RAPPORT DE RECHERCHE INTERNATIONALE

Internationale No  
PCT/FR 01/03560

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>SHIGERU ATSUMI ET AL: "A 16-MB FLASH EEPROM WITH A NEW SELF-DATA-REFRESH SCHEME FOR A SECTOR ERASE OPERATION" IEICE TRANSACTIONS ON ELECTRONICS, JP, INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG. TOKYO, vol. E77-C, no. 5, 1 mai 1994 (1994-05-01), pages 791-798, XP000459519 ISSN: 0916-8524 page 792, colonne de droite, ligne 16 -page 794, colonne de droite, ligne 10; figures 5,7</p>	<p>1-3, 6-11, 13-15, 19-24</p>
A	<p>US 5 994 732 A (AJIKA NATSUO ET AL) 30 novembre 1999 (1999-11-30) colonne 2, ligne 39 -colonne 3, ligne 28; figures 8,9 colonne 7, ligne 26 -colonne 8, ligne 2; figures 1,4</p>	

# RAPPORT DE RECHERCHE INTERNATIONALE

renseignements relatifs aux membres de familles de brevets

internationale No

PC1/PR 01/03560

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 5598368	A	28-01-1997	JP	7320488 A	08-12-1995
			CN	1149183 A	07-05-1997
			TW	425715 B	11-03-2001
			US	5677868 A	14-10-1997
			US	5898621 A	27-04-1999
US 5239505	A	24-08-1993	AUCUN		
US 6021083	A	01-02-2000	WO	9930326 A1	17-06-1999
			EP	0979489 A1	16-02-2000
			US	5966331 A	12-10-1999
US 5994732	A	30-11-1999	JP	9307005 A	28-11-1997
			KR	244406 B1	01-02-2000